

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-048651
 (43)Date of publication of application : 20.02.1998

(51)Int.Cl. G02F 1/1343
 G02F 1/136
 H01L 29/786
 H01L 21/336

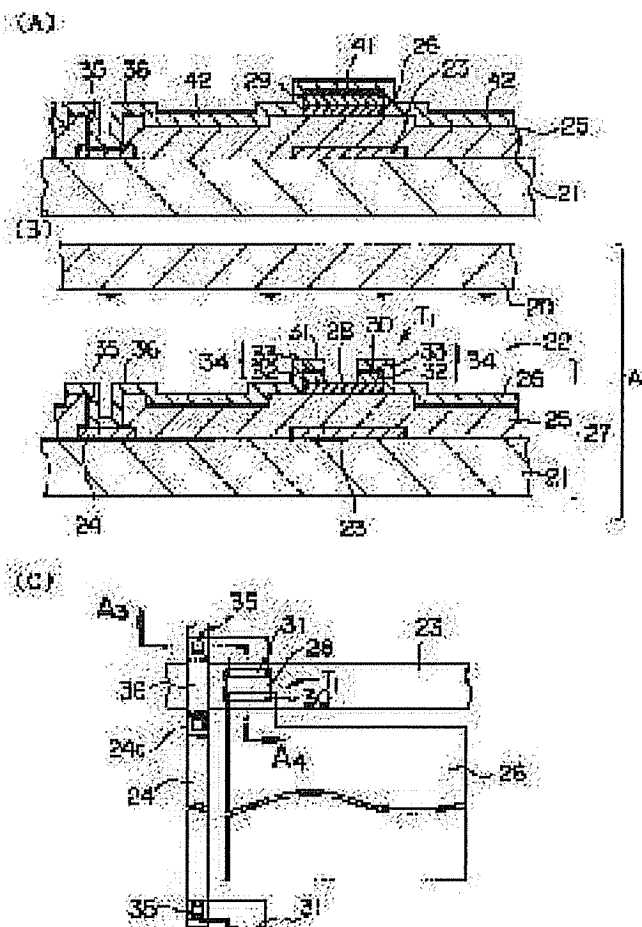
(21)Application number : 08-202633 (71) FURONTETSUKU:KK
 Applicant :
 (22)Date of filing : 31.07.1996 (72)Inventor : SAI MOTONARI

(54) THIN-FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify stages and to decrease the number of sheets of masks to be used at the time of patterning by forming source wirings and gate wirings in the form of parting either thereof and forming pixel parts of the same conductive material as the conductive material of bridging parts.

SOLUTION: The source wirings 24 are formed in the discontinuous state parting these wirings so as not to come into contact with the gate wirings 23 in a direction perpendicular to the gate wirings 23. Part of an n layer 29 above the central part of a semiconductor active film 28 and part of a silicide preparatory layer 41 and a transparent conductive layer 42 are removed, by which drain electrodes 30 and source electrodes 31 facing each other across the semiconductor active film 28 from both sides thereof are formed. Simultaneously, the unnecessary parts of the transparent conductive layer 42 are removed, by which



pixel electrodes 26 are formed in regions enclosed by the gate wirings 23 and the source wirings 24. Drain electrodes 30 are simultaneously connected to these pixel electrodes 26 and the bridging parts 36 of the transparent conductive film connecting the ends 24a of the source wirings 24 are formed. The bridging parts 36 are connected to the source electrodes 31.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-48651

(43)公開日 平成10年(1998) 2月20日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------|----------------|---------|
| G 0 2 F 1/1343 | | | G 0 2 F 1/1343 | |
| 1/136 | 5 0 0 | | 1/136 | 5 0 0 |
| H 0 1 L 29/786 | | | H 0 1 L 29/78 | 6 1 2 C |
| 21/336 | | | | 6 1 2 Z |

審査請求 未請求 請求項の数9 O L (全 16 頁)

(21)出願番号 特願平8-202633

(22)出願日 平成8年(1996) 7月31日

(71)出願人 395003523

株式会社フロンテック

宮城県仙台市泉区明通三丁目31番地

(72)発明者 蔡 基成

宮城県仙台市泉区明通三丁目31番地 株式

会社フロンテック内

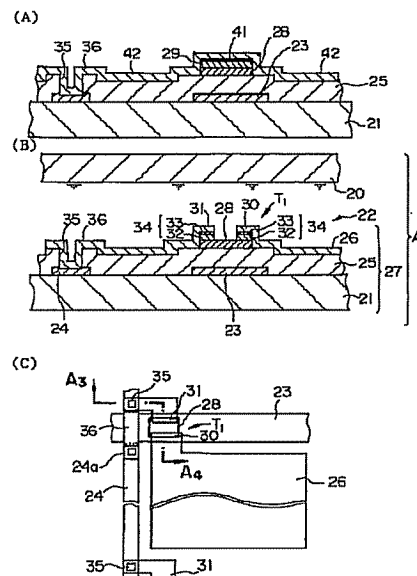
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 薄膜トランジスタ型液晶表示装置

(57)【要約】

【課題】 本発明は、分断形成したゲート配線あるいはソース配線を接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができるようにした薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【解決手段】 本発明は、一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたものである。



【特許請求の範囲】

【請求項１】 一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたことを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項２】 一対の基板を対向配置して前記一対の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記画素部が、平行に設けられた複数の第１の画素電極と、これら第１の画素電極と平行にかつ各第１の画素電極に対応してこれら対応電極と協同して電位を発生するよう第１の画素電極と交互に設けた第２の画素電極とからなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する第１の画素電極とが同一の導電材料で同時形成されたことを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項３】 前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記画素電極とが一体的に形成されてなることを特徴とする請求項１記載の薄膜トランジスタ型液晶表示装置。

【請求項４】 前記第１の画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記第１の画素電極とが一体的に形成されてなることを特徴とする請求項２記載の薄膜トランジスタ型液晶表示装置。

【請求項５】 前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するソース電極と前記橋絡部とが一体的に形成されてなることを特徴とする請求項１～４のいずれか１項に記載の薄膜トランジスタ型液晶表示装置。

【請求項６】 前記橋絡部が、前記分断したゲート配線またはソース配線上に形成した絶縁膜に前記分断した配線のそれぞれに対応して設けた孔を介して、前記分断したゲート配線またはソース配線に電氣的に接続されてなることを特徴とする請求項１～４のいずれか１項に記載の薄膜トランジスタ型液晶表示装置。

【請求項７】 前記画素電極が、平行に設けられた複数の第１の画素電極と、これら第１の画素電極と平行にかつ各第１の画素電極に対応してこれら対応電極と協同して電位を発生するよう第１の画素電極と交互に設けた第

２の画素電極とからなることを特徴とする請求項１記載の薄膜トランジスタ型液晶表示装置。

【請求項８】 前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と画素電極とが酸化物透明導電材料から形成されてなることを特徴とする請求項１に記載の薄膜トランジスタ型液晶表示装置。

【請求項９】 前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と前記第１の画素電極とが酸化物透明導電材料から形成されてなることを特徴とする請求項２に記載の薄膜トランジスタ型液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、薄膜トランジスタが形成されている液晶表示素子とその製造方法に関わり、更に詳しくは、フォトリソ工程の際に用いるマスクの使用枚数を少なくすることができる技術に関する。

【０００２】

【従来の技術】図１２と図１３は、従来の薄膜トランジスタ型液晶表示装置において、ゲート配線Ｇとソース配線Ｓなどの部分構成を基板上に備えた薄膜トランジスタアレイ基板の一構造例を示すものである。図１２と図１３に示す薄膜トランジスタアレイ基板において、ガラスなどの透明の基板６上に、ゲート配線Ｇとソース配線Ｓとがマトリクス状に配線されている。また、ゲート配線Ｇとソース配線Ｓとの交差部分の近傍に薄膜トランジスタ３が設けられている。

【０００３】図１２と図１３に示す薄膜トランジスタ３はエッチストップ型の一般的な構成のものであり、ゲート配線Ｇとこのゲート配線Ｇから引き出して設けたゲート電極８上に、ゲート絶縁膜９を設け、このゲート絶縁膜９上にアモルファスシリコン（ $a-Si$ ）からなる半導体膜１０を設け、更にこの半導体膜１０上に導電材料からなるドレイン電極１１とソース電極１２とを相互に対向させて設けて構成されている。なお、半導体膜１０の最上層にはリンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどのオーミックコンタクト膜１０ａが形成され、その上にドレイン電極１１とソース電極１２とで挟まれた状態でエッチングストップ１３が形成されている。また、ゲート電極８は上層部のゲート絶縁膜８ａと下層部のゲート配線８ｂとからなる二重構造にされるとともに、ドレイン電極１１の上からドレイン電極１１の側方側にかけて透明電極材料からなる透明画素電極１５が形成されている。

【０００４】そして、前記ゲート絶縁膜９と透明画素電極１５とソース電極１２などの上を覆ってこれらの上にパッシベーション膜１６が設けられている。このパッシベーション膜１６上には図示略の配向膜が形成され、この配向膜上方に液晶が設けられてアクティブマトリクス

液晶表示装置が構成されていて、前記透明画素電極15によって液晶の分子に電界を印加すると液晶分子の配向制御ができるようになっている。ところで従来、前記構造の薄膜トランジスタレイ基板を製造するには、以下

に示す表1に記載の工程を基に製造していた。

【0005】

【表1】

| 工程 | 製法 | 材質 | 備考 |
|--|------------|------|-------|
| 初期洗浄 | ブラシ&UV | | |
| 表面安定化層形成 | 反応性スパッタリング | TaOx | 750nm |
| ゲート配線金属形成 | 直流スパッタリング | Al | 200nm |
| ゲート配線金属PL① | ウエットエッチング | | |
| ゲート電極形成 | 直流スパッタリング | Ta | 400nm |
| ゲート電極PL② | ドライエッチング | | |
| ゲート電極陽極酸化 | | TaOx | 300nm |
| ゲート絶縁形成 | プラズマCVD | SiNx | 250nm |
| a-Si形成 | プラズマCVD | a-Si | 50nm |
| ES絶縁層形成 | プラズマCVD | SiNx | 100nm |
| ES絶縁層PL③ | ウエットエッチング | | 背面露光法 |
| SD半導体形成 | プラズマCVD | n+Si | 25nm |
| デバイスエリアPL④ | ドライエッチング | | |
| SD電極形成 | 直流スパッタリング | Ti | 400nm |
| SD電極PL⑤ | ドライエッチング | | |
| 透明電極形成 | 反応性スパッタリング | ITO | 50nm |
| 透明電極PL⑥ | ウエットエッチング | | |
| 保護層形成 | プラズマCVD | SiNx | 250nm |
| 保護層PL⑦ | ウエットエッチング | | |
| 注) PL: フォトリソグラフィ ES: エッチングストッパー SD: ソースドレイン | | | |

①～⑦: 露光プロセス

【0006】まず、ガラスなどの透明基板を用意したならば、この上に表面安定化層を形成し、この基板に対してゲート配線用金属膜を被覆し、この金属膜を第1のフォトリソ工程でエッチングしてゲート配線を形成する。次にゲート配線上に例えばTa金属膜を被覆し、次いで第2のフォトリソ工程でエッチングしてゲート電極を形成する。

【0007】次にこのゲート電極の表面部分をTaOxとしてゲート電極の絶縁性向上処理を行い、それらの上にゲート絶縁膜と半導体膜とエッチングストッパー用の絶縁膜を形成し、第3のフォトリソ工程でエッチングしてゲート電極上にエッチングストッパーを形成する。次に基板表面にオーミックコンタクト膜を形成し、第4のフォトリソ工程で半導体膜やオーミックコンタクト膜をパターニングしてゲート電極上方に他の部分と分離状態の半導体部を形成し、更に基板表面に金属膜を形成する。

【0008】次に、前記金属膜を第5のフォトリソ工程でパターニングしてソース電極とドレイン電極を形成

する。次いで、ソース電極とドレイン電極とをマスクとしてオーミックコンタクト膜にエッチング加工を施してチャンネル部を形成する。次いで、基板表面に透明導電膜を形成し、第6のフォトリソ工程で透明導電膜を加工して透明画素電極を形成し、更に基板表面に保護膜を形成する。次に前記保護膜をパターニングしてソース端子用のコンタクトホールとゲート端子用のコンタクトホールとを形成する第7のフォトリソ工程を行って薄膜トランジスタレイ基板を完成させている。

【0009】

【発明が解決しようとする課題】しかしながら前述の方法で薄膜トランジスタレイ基板を製造すると、7回のフォトリソ工程を行う必要があり、フォトリソ工程が多く、フォトリソ工程の度にレジスト材の形成と剥離を行わなくてはならないために、それだけ歩留まりへの影響が大きく、製造コストが高くなる問題があった。

【0010】次に、この種の薄膜トランジスタレイ基板を製造する場合、種々の薄膜を積層し、積層膜の一部にコンタクトホールを形成し、このコンタクトホールに

導電膜を形成して上層の膜と下層の膜を導電膜を介して電気的に接続する構造を採用することがある。図14は、この種の断面構造の一例を示すもので、この例の構造は、基板上に形成したTiなどの金属膜17の上にSiNxなどからなる絶縁膜18とITOからなる導電性酸化膜19を積層し、絶縁膜18に形成したコンタクトホール18aを介して導電性酸化膜19を金属膜17に接続した構造になっている。

【0011】この例の構造において、コンタクトホール18aを形成するには、絶縁膜18を成膜した後でその上に所定パターンのレジストを被せ、次いでSF6+O2ガスなどをを用いたドライエッチングにより絶縁膜18をエッチングしてコンタクトホール18aを形成した後、O2プラズマでレジストを剥離し、その後導電性酸化膜19を成膜する方法を行っている。ところが、この方法を行う途中にコンタクトホール18aを介して金属膜17が酸化性雰囲気中にさらされるために、金属膜17が酸化されるおそれがある。

【0012】このため従来では、導電性酸化膜19に対して良好なコンタクトをとれる金属であってO2プラズマ雰囲気により酸化されにくい金属としてTiを用いており、Tiよりも酸化され易いAl等の薄膜を用いることができない状況にあり、金属膜17の使用材料に制限を生じていた。ちなみに、接続部分のコンタクト面積を $7\mu\text{m}^2$ に設定してコンタクト部分を1600段形成した構造のコンタクトチェーンを成膜した場合、ITOの薄膜に対するAlの薄膜のコンタクト抵抗は $1010\sim1012\Omega$ であるのに対し、ITOの薄膜に対するTiの薄膜のコンタクト抵抗は、 $104\sim105\Omega$ となり、明らかにTiの薄膜の方がコンタクト性に優れている。これは、Tiに比べて導電率の優れたAlであっても、前記O2プラズマ雰囲気中に曝されることにより接続部分の界面に酸化物皮膜が形成され、この酸化物皮膜の存在によりコンタクト抵抗が逆転したものと思われる。また、前述の金属膜17としてTiの薄膜を用いた場合、この構造を薄膜トランジスタアレイ基板上に適用し、金属膜17でゲート配線を形成した場合、Tiの金属膜17ではTi自体の比抵抗が高いために、通常の使用に供することはできるが、ゲート配線の信号遅延の基となる可能性があり、液晶パネルの大型化に不利な問題がある。

【0013】本発明は前記事情に鑑みてなされたもので、分断形成されたゲート配線あるいはソース配線を電気的に接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、必要マスク枚数を従来の製造方法よりも少なくして歩留まりの向上をなし得るようにするとともに、分断されたゲート配線あるいはソース配線を接続する場合に絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができる薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【0014】

【課題を解決するための手段】本発明に係る第1の基本構成の液晶表示装置は、前記課題を解決するために、一対の基板を対向配置して前記一対の基板間に液晶が配設されとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電気的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたことを特徴とするものである。このような構成とすることにより、画素電極と橋絡部を1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

【0015】また、本発明に係る第2の基本構成の液晶表示装置は、前記課題を解決するために、一対の基板を対向配置して前記一対の基板間に液晶が配設されとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記画素部が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電気的に接続する橋絡部と前記画素部を構成する第1の画素電極とが同一の導電材料で同時形成されたものである。このような構成とすることにより、第1の画素電極と第2の画素電極を備える構成においても、第1の画素電極と橋絡部を1つの成膜工程とパターニング処理で同時に形成できるので、必要マスク枚数を少なくして工程の簡略化を実現できる。

【0016】次に、本発明において、前記画素電極を電気的にオンオフする薄膜トランジスタを構成するドレイン電極と前記画素電極とが一体的に形成されてなる構成とすることができる。これにより、画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。また、本発明において、前記第1の画素電極を電気的にオンオフする薄膜トランジスタを構成するドレイン電極と前記第1の画素電極とが一体的に形成されてなる構成とすることができる。これにより、第1と第2の画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

【0017】本発明において、前記画素電極を電気的に

オンオフする薄膜トランジスタを構成するソース電極と前記橋絡部とが一体的に形成されてなる構成とすることもできる。これにより、画素電極、あるいは、第1の画素電極と、橋絡部と、ドレイン電極に加えてソース電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を更に少なくして工程の簡略化を実現できる。また、前記橋絡部が、前記分断したゲート配線またはソース配線上に形成した絶縁膜に前記分断した配線のそれぞれに対応して設けた孔を介して、前記分断した配線に電気的に接続されてなることを特徴とするものでも良い。これにより、分断されているゲート配線あるいはソース配線が、電気的に確実に連結されて一体化される。

【0018】次に、第1の基本構成において前記画素電極が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなるものでも良い。このような第1の電極と第2の電極により協同して液晶に電界を印加することができ、液晶に電界を印加するか否かを切り替えることで光の透過状態を変化させ所望の表示を行うことができる。

【0019】第1の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と画素電極とが酸化物透明導電材料から形成されてなるものでも良い。第2の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と前記第1の画素電極とが酸化物透明導電材料から形成されてなるものでも良い。これらのクロムまたはモリブデンで配線の表面部が構成されていると、配線上の絶縁膜に孔を形成して酸化物透明導電材料からなる画素電極あるいは橋絡部を形成する場合の処理時に配線の表面部を酸化させるおそれが少なくなり、コンタクト抵抗が低減する。

【0020】

【発明の実施の形態】以下に本発明の各実施の形態を詳細に説明する。第1図(A)～第2図(C)は本発明に係る薄膜トランジスタ型液晶表示装置の第1の例を製造する方法を説明するためのもので、この例の薄膜トランジスタ型液晶表示装置Aにあっては、基本的には図2(B)と図2(C)に示すように対向する透明の基板20、21間に液晶22が配設されて構成され、一方の基板21上にゲート配線23とソース配線24が絶縁膜25を介して交差状態でマトリクス状に設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタT1と画素部(画素電極)26が設けられて薄膜トランジスタアレイ基板27が構成されていて、図12あるいは図13で説明した従来の液晶表示装置と同様に液晶22に電界を印加するか否かの切り換えにより光の透過状態を切り換え

る表示装置とされている。

【0021】図2(B)と図2(C)に示すようにこの第1の例の液晶表示装置Aにあっては、一方の基板21上にゲート配線23と同一平面上にゲート配線23と直交する方向にゲート配線23と接触しないように分断された不連続のソース配線24が形成され、ゲート配線23とソース配線24の接近部分の近傍のゲート配線23上に半導体動膜28をドレイン電極30とソース電極31で挟んでなる薄膜トランジスタT1が形成されている。半導体動膜28は、この例ではa-Siから形成され、ドレイン電極30およびソース電極31と半導体動膜28とのコンタクト部分には、n⁺のa-Siからなる底部コンタクト膜32とシリサイド層33を積層してなるコンタクト層34が介在されている。前記シリサイド層33はMo、Ta、W等のシリサイド構成元素の膜を半導体動膜28上に成膜してから熱処理して元素拡散を行って形成されたものである。なお、図2(B)に示す断面構造は、図2(C)のA3-A4線に沿う断面を示す。

【0022】そして、前記薄膜トランジスタT1のドレイン電極30が透明導電材料から形成されて透明画素電極26に接続され、前記薄膜トランジスタT1のソース電極31が透明導電材料から形成されている。また、前記ゲート電極23の近傍のソース配線各端部上の絶縁膜25に孔(コンタクトホール)35が形成され、これらのコンタクトホール35を介して分断されている各ソース配線24を連結して導通させる酸化物透明導電材料からなる橋絡部36が設けられ、前記薄膜トランジスタT1のソース電極31が各々の薄膜トランジスタ近傍の橋絡部36に接続されている。なお、図5に示す液晶表示装置Aにおいては、他側の基板20に形成される共通電極とブラックマスク、カラーフィルタ等は省略して基板20のみを記載してある。また、図3に、この例の液晶表示装置Aの等価回路を示すが、図3に示すように、分断された複数のソース配線24を複数の橋絡部36により接続させた状態のソース配線24が複数設けられ、それらのソース配線24に対してマトリクス状に配置されたゲート配線23とが設けられている。ここで各ソース配線24は信号供給回路37に、各ゲート配線23は走査回路38に接続されている。

【0023】以上の構造のトランジスタアレイ基板27を製造するには、まず、図1(A)に示すように基板21上にCr、Mo等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剝離するパターニングを施して図1(A)に断面構造を図1

(B)に平面構造を示すゲート配線23とソース配線24を形成する。ここで形成するゲート配線23とソース配線24は、製造するべき液晶表示装置の表示画面の大きさに合わせて必要本数形成するので、図1(B)では

1本ずつのみ記載しているが、実際には図1(B)の上下方向に複数のゲート配線23が、図1(B)の左右方向に複数のソース配線24が必要本数並設される。なお、図1(A)に示す断面構造は、図1(B)のA1-A2線に沿う断面を示す。なお、前記のパターニングの際に、ソース配線24をゲート配線23に対して直角向きに形成するが、ソース配線24の端部24aをゲート配線23にショートさせないようにゲート配線23と微小間隔をあけた位置に配置させるので、結果的にソース配線24をゲート配線23と直角な方向にゲート配線23と接触しないように分断した不連続状態に形成するものとする。

【0024】次に、基板21の表面とゲート配線23とソース配線24を覆うSiNXなどの絶縁材料製の絶縁膜25を基板21上に成膜し、更にその上に、a-Siの半導体能動膜準備層とa-Siのn⁺準備層を積層し前述と同様にレジストを用いたパターニングを行ってソース配線24の近傍の薄膜トランジスタを形成するべき位置に図1(A)と図1(B)に示すアイランド状の半導体能動膜28とa-Siのn⁺層29を形成する。次に、n⁺層29上にMo、Ta、W等からなる薄膜を形成し、熱処理することでシリサイド準備層41を図1(C)に示すように形成する。この後、シリサイド準備層41とならなかった前記金属からなる薄膜の部分のみをレジストを用いずに、例えば、ヨウ素酸、フッ酸、及び酢酸混合液からなるエッチング液を用いて選択的に除去する。また、前記と同様にレジストを用いたパターニングを行ってゲート配線23の近傍の各ソース配線24の端部24a上の絶縁膜25にそれぞれ孔(コンタクトホール)35を形成する。

【0025】次いでITOなどの酸化物透明導電材料からなる透明導電層42を前記絶縁膜25とシリサイド準備層41を覆うようにこれらの上に図2(A)に示すように形成する。なおここで、ITOを成膜する条件は酸化雰囲気であるので、コンタクトホール35の下に位置するソース配線24の表面をAl等よりも酸化し難いCr、Mo等の材料で形成することが好ましい。続いて前記と同様にレジストを用いたパターニングを行って図2(B)に示すように半導体能動膜28の中央部上方のn⁺層29の一部とシリサイド準備層41と透明導電層42の一部を除去することにより、半導体能動膜28をその両側から挟んで対向するドレイン電極30とソース電極31を形成し、同時に透明導電層42の不要部分を除去することにより、ゲート配線23とソース配線24に囲まれた領域に図2(B)と図2(C)に示すように画素電極26を形成し、同時にこの画素電極26にドレイン電極30を接続させ、ソース配線24の端部24aを接続する透明導電膜製の橋絡部36を形成し、この橋絡部36をソース電極31と接続することにより、図2(B)と図2(C)に示す構造の薄膜トランジスタアレイ

基板27を得ることができる。

【0026】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板27を製造することができるので、例えば全面に保護膜を形成し、ソース端子出し及びゲート端子出しのためのフォトリソ工程を追加したとしても、マスクを6〜7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0027】第4図(A)ないし第5図(C)は本発明に係る液晶表示装置の第2の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図5(B)と図5(C)に示すように対向する透明の基板50、51間に液晶52が挟持されて構成され、一方の基板51上にゲート配線53とソース配線54が絶縁膜55を介して交差状態で設けられ、更に、交差部分の近傍にそれぞれ薄膜トランジスタT2と画素部(画素電極)56が設けられて薄膜トランジスタアレイ基板57が構成されていて、図12で説明した従来の液晶表示装置と同様に液晶52に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Bとされている。

【0028】図5(B)と図5(C)に示すようにこの第2の例の液晶表示装置Bにあっては、一方の基板51上の絶縁膜55内にゲート配線53と直交する方向にゲート配線53と接触しないように分断されたソース配線54が不連続的に形成され、ゲート配線53とソース配線54の接近部分の近傍のゲート配線53上に薄膜トランジスタT2が形成されている。前記のゲート配線53はAlなどの良導電性金属材料からなる基部導電層53Aとその上に形成されたCr、Mo等の配線用金属材料からなる副導電層53Bとからなる2重構造とされ、ソース配線54も同様に良導電性金属からなる基部導電層54Aとその上に形成された配線用材料からなる副導電層54Bとからなる2重構造とされている。なお、図5(B)に示す断面構造は、図5(C)のA7-A8線に沿う断面である。

【0029】前記の薄膜トランジスタT2は、左右のn⁺層となる半導体部63、64に挟まれて半導体基部65が設けられ、半導体基部65上に絶縁膜66を介してゲート電極67が形成され、半導体部63、64上にシリサイド層68がそれぞれ形成され、半導体基部65の上部で半導体部63、64に挟まれた部分にチャネル部69が形成されるようになっている。次に、各シリサイド層68上の絶縁膜55には、各々コンタクトホール80が形成され、このコンタクトホール80を介してITOなどの酸化物透明導電材料製のドレイン電極60とソース電極61が各シリサイド層68に接触するように設けられ、ドレイン電極60にはゲート配線53とソース配

線54とに囲まれた領域に設けられた酸化物透明導電材料製の画素電極56が接続され、ソース電極61にはソース配線54が接続されている。更に、分断されたソース配線54においてゲート配線53に近い部分の各端部54a上の絶縁膜55には孔(コンタクトホール)81が各々形成されていて、これらのコンタクトホール81を介して設けられた酸化物透明導電材料製の橋絡部72によって分断されたソース配線54が導通されている。

【0030】以上の構成の薄膜トランジスタT2は、ゲート配線53とソース配線54の交差部分近傍のゲート配線53を含むように形成されていて、ゲート配線53の一部がゲート電極67を兼ねるように設けられ、ゲート電極67によって薄膜トランジスタT2のスイッチングの切り換えがなされるようになっている。

【0031】以上の構造のトランジスタアレイ基板57を製造するには、まず、基板51上に水素化アモルファスシリコン(a-Si:H)からなる半導体予備膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剝離するパターニングを施して図4(A)に断面構造を示すアイランド状の半導体準備膜75を形成する。なお、この半導体準備膜75を形成する位置は、基板51において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図4(B)に示すように半導体準備膜75と基板51を覆うようにSiNxなどからなる絶縁膜74を形成し、更にその上に、Al等の良導電材料からなる基部導電膜76とCr、Mo等の配線材料からなる副導電膜77を形成する。次に、絶縁膜74と基部導電膜76と副導電膜77にパターニングを施して図4(C)に断面構造を図9(D)に平面構造を示すゲート配線53とソース配線54を形成し、半導体準備膜75上のゲート配線53をゲート電極67とする。なお、図4(C)に示す断面構造は、図4(D)に示すA5-A6線に沿う断面を示す。また、前記のパターニングにあたり、各ゲート配線53とソース配線54はパターニングされた絶縁膜74を介して基板51上あるいは半導体準備膜75上に設けられた状態となる。次に、ここで形成するゲート配線53とソース配線54は、それぞれ2層構造とされ、製造するべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図4(D)では1本ずつのみ記載しているが、実際には図4(D)の上下方向に複数のゲート配線53が図4(D)の左右方向に複数のソース配線54が並設されている。なお、前記のパターニングの際に、ソース配線54をゲート配線53に対して直角向きに形成するが、ソース配線54の端部54aをゲート配線53にショートさせないようにゲート配線53と微小間隔をあけた位置に配置させるので、結果的にソース配線54をゲート配線53と直角な方向にゲート配線53と接触しないように分断した不連続状態に形成するものとする。

【0032】次に、ゲート電極67とその下方の絶縁膜74をマスクとして半導体準備膜75にイオンドーピング処理を行ってn+層を形成し、半導体部63、64に挟まれた半導体基部65を形成するとともに、この後に半導体部63、64上にMo、Ta、W等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部63、64との間に元素拡散を行って半導体部63、64上にシリサイド層68、68を図5(A)に示すように形成する。また、前記第1の例の液晶表示装置Aを製造する際と同様にMo、Ta、W等の金属薄膜部分のみをマスクを用いずに選択的に除去する。次いでこれらの膜の上にSiNx等からなる絶縁膜55を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層68上の絶縁膜55にコンタクトホール80を形成するとともにゲート配線53の近傍の各ソース配線54の端部54a上の絶縁膜55にそれぞれ孔(コンタクトホール)81を形成する。

【0033】次いで、ITOなどの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともに、パターニングを行って、ソース配線54とゲート配線53に囲まれた領域に画素電極56を形成し、ソース配線54間にコンタクトホール81、81を介してこれらを接続する橋絡部72を形成するとともに、この橋絡部72と半導体部63上のシリサイド層68をコンタクトホール80を介して接続させて透明導電層製のソース電極61を形成し、半導体部64上のシリサイド層68と画素電極56を接続させて透明導電層製のドレイン電極56を形成する。これにより、図5(A)と図5(B)に示す構造の薄膜トランジスタアレイ基板57を得ることができる。

【0034】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板57を製造することができるので、前記第1の例と同様にマスクを6〜7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。更に、ゲート配線53とソース配線54をCr、Mo等から成る副導電層54BとAl等からなる基部導電層54Aから構成しているので、絶縁膜55に孔コンタクトホール81を形成する際にO2プラズマ雰囲気エッチングする処理を行っても、O2プラズマ雰囲気酸化されにくい副導電層54Bの一部が酸化されるのみであり、ソース配線54の導電率を支配する良導電性の基部導電層54Aは酸化されないで、ソース配線54の配線抵抗を低く抑えることができる。

【0035】図6(A)ないし図7(C)は本発明に係る液晶表示装置の第3の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図7(B)と図7(C)に示すように対向する透明

の基板90、91間に液晶92が挟持されて構成され、一方の基板91上にゲート配線93とソース配線94が絶縁膜95を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタT3と線状電極96A、Bが設けられて薄膜トランジスタアレイ基板97が構成されていて、図12を基に先に説明した従来の液晶表示装置と同様に液晶92に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Cとされている。ただし、この例で用いた構成における液晶の駆動機構は先に説明した第1の例と第2の例のものとは全く異なり、線状電極96A、96Bにより発生させた電界で液晶を配向させるものであり、線状電極96A、96Bによる液晶の駆動機構については後に詳述する。

【0036】図7(B)と図7(C)に示すようにこの第3の例の液晶表示装置Cにあっては、一方の基板91上にゲート配線93と同一平面上にゲート配線93と直交する方向にゲート配線93と接触しないように分断されたソース配線94が不連続的に形成され、ゲート配線93とソース配線94の接近部分の近傍のゲート配線93上に半導体能動膜98をドレイン電極100とソース電極101で挟んでなる薄膜トランジスタT3が形成されている。なお、半導体能動膜98はこの例ではa-Siから形成され、ドレイン電極100およびソース電極101と半導体能動膜98とのコンタクト部分には、n⁺のa-Siからなる底部コンタクト膜102とシリサイド層103を積層してなるコンタクト層104が介在されている。なおまた、シリサイド層103はMo、Ta、W等のシリサイド構成元素の膜を半導体能動膜98上に成膜してから熱処理して元素拡散を行って形成されたものである。

【0037】そして、前記薄膜トランジスタT3のドレイン電極100が酸化物透明導電材料から形成されて酸化物透明導電材料製のソース配線94と平行に設けられた線状電極(第1の画素電極)96Aに接続され、薄膜トランジスタT3のソース電極101が酸化物透明導電材料から形成されている。また、ゲート電極93の近傍のソース配線各端部上の絶縁膜95に孔(コンタクトホール)105が形成され、これらのコンタクトホール105を介して分断された各ソース配線94を連結して導通する酸化物透明導電材料からなる橋絡部106が設けられ、前記薄膜トランジスタT3のソース電極101が各薄膜トランジスタ近傍の橋絡部106に接続されている。なお、図7(B)に示す断面構造は図7(C)のA9-A10線に沿う断面構造である。

【0038】更に、線状電極(第2の画素電極)96Bは線状電極96Aを挟む位置に線状電極96Aと平行に2本形成され、それらが基端部96Cで連結されて図7(C)に示すように平面コ字状に形成されていて、基端部96Cにおいてソース配線94の近傍部分に突起状の

接続部96Dが形成されている。また、図7(C)に示すゲート配線93とソース配線94に囲まれた領域に線状電極96A、96Bが形成されているが、この領域に隣接する他の領域にもそれぞれ線状電極96A、96Bが形成されていて、左右に隣接する基端部96Cの接続部96Dのように、以下に説明するように酸化物透明導電材料製の導体接続部108で接合されている。即ち、接続部96D上の絶縁膜95には各々コンタクトホール107が形成され、これらのコンタクトホール107を介して接続部96Dに連結する導体接続部108が、ソース配線94上を横切るように設けられて各基端部96Cが連結されている。なお、図7(C)に示す液晶表示装置Cにおいては、他側の基板90に形成されるブラックマスク、カラーフィルタ等は省略して基板90のみを記載した。

【0039】以上の構造のトランジスタアレイ基板97を製造するには、まず、図6(A)に示すように基板91上に、下地がAlで表層がCr、Mo等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後レジストを剥離するパターニングを施して図6(A)に断面構造を図6(B)に平面構造を示すゲート配線93とソース配線94と線状電極96B、96Bを形成する。なお、図6(A)に示す断面構造は、図6(B)のA11-A12線に沿う断面である。ここで形成するゲート配線93とソース配線94は、製造するべき液晶表示装置の画面の大きさに合わせて必要本数形成するので、図6(B)では1本ずつのみ記載しているが、実際には図6(B)の上下方向に複数のゲート配線93が図6

(B)の左右方向に複数のソース配線94が並設される。なお、前記のパターニングの際に、ソース配線94をゲート配線93に対して直角向きに形成するが、ソース配線94の端部94aをゲート配線93にショートさせないようにゲート配線93と微小間隔をあけた位置に配置させるので、結果的にソース配線94をゲート配線93と直角な方向にゲート配線93と接触しないように分断した不連続状態に形成するものとする。

【0040】次に、基板91の表面とゲート配線93とソース配線94と線状電極96Bを覆うSiNXなどの絶縁材料製の絶縁膜95を基板91上に成膜し、更にその上にa-Siの半導体能動膜準備層とa-Siのn⁺準備層を積層し前述と同様にマスクを用いたパターニングを行ってソース配線94の近傍の薄膜トランジスタを形成するべき位置に図6(A)と図6(B)に示すアイランド状の半導体能動膜98とa-Siのn⁺層99を形成する。次に、n⁺層99上にMo、Ta、W等からなる薄膜を形成し、熱処理することでシリサイド準備層110を図6(C)に示すように形成する。この後、前記第1の例と同様に処理し、Mo、Ta、W等からなる薄膜をレジストを用いずに選択的に除去する。また、前記と

同様にマスクを用いたパターニングを行ってゲート配線 93 の近傍の各ソース配線 94 の端部 94a 上の絶縁膜 95 にそれぞれコンタクトホール 105 を図 7 (A) に示すように形成するとともに、線状電極 96B の接合部 96D 上の絶縁膜 95 にもコンタクトホール 107 を形成する。

【0041】次いで、ITO などの酸化物透明導電材料からなる透明導電層 109 を前記絶縁膜 95 とシリサイド準備層 110 等を覆うようにこれらの上に形成する。続いて前記と同様にマスクを用いたパターニングを行って半導体能動膜 98 の中央部上方の n+ 層 99 の一部とシリサイド準備層 110 と透明導電層の一部を除去することにより、半導体能動膜 98 をその両側から挟んで対向するドレイン電極 100 とソース電極 101 を形成し、同時に透明導電層の不要部分を除去することにより、ゲート配線 93 とソース配線 94 に囲まれた領域に図 7 (B) と図 7 (C) に示すように線状電極 96A を形成し、同時にこの線状電極 96A にドレイン電極 100 を接続させ、ソース配線 94 の端部 94a を接続する橋絡部 106 を形成し、この橋絡部 106 をソース電極 101 と接続し、更に、隣接する線状電極 96B の接続部 96D 同士を接合する導体接続部 108 をソース配線 94 上を横切るように形成することで図 7 (B) と図 7 (C) に示す構造の薄膜トランジスタアレイ基板 97 を得ることができる。

【0042】以上説明したような製造工程を採用することで、全工程でマスクを 4 枚使用してパターニングを行うことで薄膜トランジスタアレイ基板 27 を製造することができるので、前記第 1 の例と同様にマスクを 6~7 枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0043】続いて図 7 (B) と図 7 (C) に示す構造の液晶表示装置 C の偏光板の偏光方向と配向膜のラビング処理方向並びに液晶駆動機構について説明するが、その前に一般的なツイステッドネマティックモード (TN モード) のアクティブマトリクス型液晶表示装置について以下に説明する。

【0044】この種の一般的な TN モードの液晶表示素子は、偏光板と透明な電極と配向膜を具備した 2 枚のガラス基板を互いの配向膜の配向方向が 90° 異なるように間隔をあけて対向配置し、その間にネマティック液晶を 90° ねじって配列できるように設けて構成されている。

【0045】ところが、近年、この種の TN モードの液晶表示素子にあっては、その視野角依存性が問題となっている。この問題を解決できる構造が、線状電極 96A、96B を用いた図 7 (B) に示す液晶表示装置 C である。前述の構成の液晶表示装置 C において、配向膜の

配向方向と液晶 92 を構成する液晶分子 92A の向き等をまとめて図 8 と図 9 に示す。液晶表示装置 C にあっては、液晶を挟む上下両側の基板にそれぞれ液晶駆動用の電極を設けるのではなく、図 7 (B) に示す下方の基板 91 側のみに異なる極の 2 種の線状電極 96A、96B を互いに離間させて設け、上方の基板 90 に電極を設けない構成とし、電圧の印加により、両線状電極 96A、96B 間に発生した電界の方向に沿って液晶分子 92A を配向させることができるようになっている。図 8 に線状電極 96A、96B とスイッチング素子としての薄膜トランジスタ T3 および電源 119 の接続関係を示す。また、図 9 (A) に示すように上の基板 90 の液晶側の面に配向膜を形成して β 方向に液晶分子 92A が並ぶように配向処理が施され、下の基板 91 の液晶側の面に配向膜を形成して前記 β 方向と平行な γ 方向に液晶分子 92A が並ぶように配向処理が施され、それぞれの基板 90、91 の外側に従来の一般的な構成の場合と同様の偏光板が配置される。

【0046】以上のような構成によれば、線状電極 96A、96B 間に電圧が印加されていない状態で液晶分子 92A は、図 9 (A) に示すように一律に同方向にホモニアス配向する。そして、この状態で下の基板 91 を通過した光線は、偏光板により α 方向に偏光されており、液晶分子 92A の層をそのまま透過し、上の基板 90 の異なる β 方向の偏光板に到達するので、その偏光板で遮断され、光線は液晶表示素子を透過することがないので、液晶表示素子は暗状態となる。(ノーマリーブラックモード)

次に、線状電極 96A、96B 間に電圧を印加すると、液晶分子のうち、下の基板 91 に接近した液晶分子 92A ほどその配向方向が線状電極 96A、96B の長手方向に対して垂直に変換される。即ち、線状電極 96A、96B の長手方向に対し垂直な方向の電気力線が発生し、下の基板 91 に形成されていた配向膜によって γ 方向に長手方向を向けて配向していた液晶分子 92A が、配向膜の規制力よりも強い電界の規制力によって γ 方向とは垂直な α 方向に配向方向が変換される。よって、線状電極 96A、96B 間に電圧が印加されると、図 9 (B) に示すように 90° ツイスト配向がなされる。この状態であると、下の基板 91 を透過し、 α 方向に偏光した偏光光線は、ツイストした液晶 92A によってその偏光方向が変換され、 α 方向とは異なる β 方向の偏光板の設けられた上の基板 90 を透過できるようになり、液晶表示素子は明状態となる。ここで図 9 (A) に示す状態の液晶分子 92A に対して図 9 (C) に示すように異なった方向から透過光線が入射しても透過光線の角度によって屈折率 $n1'$ と $n2'$ が同じになるために視野角依存性は生じ難くなる。なお、図 9 (B) に示すように線状電極 96A、96B の直上に存在する液晶分子 92A は電気力線に沿って起立した状態となるが、この

状態は明状態であり、起立した液晶分子92A…は透過光を通過させるような働きをするので、表示状態に悪影響はない。

【0047】図10(A)ないし図11(C)は本発明に係る液晶表示装置の第4の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図11(B)と図11(C)に示すように対向する透明の基板130、131間に液晶132が挟持されて構成され、一方の基板131上にゲート配線133とソース配線134が絶縁膜135を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタT4と線状電極136A、136Bが設けられて薄膜トランジスタアレイ基板137が構成されていて、図7(B)あるいは図7(C)で説明した液晶表示装置Cと同様に液晶132に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Dとされている。

【0048】図11(B)と図11(C)に示すようにこの第4の例の液晶表示装置Dにあっては、一方の基板131上の絶縁膜135内にゲート配線133と直交する方向にゲート配線133と接触しないように分断されているソース配線134が不連続的に形成され、ゲート配線133とソース配線134の接近部分の近傍のゲート配線133上に薄膜トランジスタT4が形成されている。なお、図11(B)に示す断面構造は、図11

(C)に示すA13-A14線に沿う断面である。前記のゲート配線133はAlなどの良導電性金属からなる基部導電層133Aと、その上に形成されたCr、Mo等の配線用金属材料からなる副導電層133Bとからなる2重構造とされ、ソース配線134も同様にAl等の良導電性金属からなる基部導電層134Aとその上に形成されたCr、Mo等の配線用材料からなる副導電層134Bとからなる2重構造とされている。

【0049】前記の薄膜トランジスタT4は、左右のn+層となる半導体部143、144に挟まれて半導体基部145が設けられ、半導体基部145上に絶縁膜146を介してゲート電極147が形成され、半導体部143、144上にシリサイド層148がそれぞれ形成され、半導体基部145の上部で半導体部143、144に挟まれた部分にチャンネル部149が形成されるようになっている。次に、各シリサイド層148上の絶縁膜145には各々コンタクトホール150が形成され、このコンタクトホール150を介してITOなどの酸化物透明導電材料製のドレイン電極160とソース電極161が各シリサイド層148に接触するように設けられ、ドレイン電極160にはゲート配線133とソース配線134とに囲まれた領域に設けられた酸化物透明導電材料製の線状電極136Aが接続され、ソース電極161にはソース配線134が接続されている。

【0050】更に、分断されたソース配線134におい

てゲート配線133に近い部分の各端部134a上の絶縁膜135にはコンタクトホール171が各々形成されていて、これらのコンタクトホール171を介して設けられた酸化物透明導電材料製の橋絡部172によって前記の分断されたソース配線134が導通されている。また、ゲート配線133とソース配線134とで囲まれた領域に設けられている線状電極136Aはこの例ではゲート配線133と平行に配置され、さらにこの線状電極136Aの幅方向両側にはこれを挟むように一対の線状電極136B、136Bが線状電極136Aと平行に設けられ、各線状電極136Bは基端部136Cにて一体化され、一方の線状電極136Bの端部がソース配線134の近傍まで延長されている。そして、ソース配線134とゲート配線133とで囲まれた線状電極136Bが設けられた領域に隣接する他の領域の線状電極136Bの端部もソース配線134の近傍まで延出されていて、ソース配線134を挟んでその両側に位置する線状電極136Bの端部同士が、それらの上の絶縁膜135に形成されたコンタクトホール173を介してソース配線134上を横切って設けられた導体接続部174によって接続されている。

【0051】以上の構成の薄膜トランジスタT4は、ゲート配線133とソース配線134の交差部分近傍のゲート配線133を含むように形成されていて、ゲート配線133の一部がゲート電極147を兼ねるように設けられ、ゲート電極147によって薄膜トランジスタT4のスイッチングの切り換えがなされるようになっている。

【0052】以上の構造のトランジスタアレイ基板137を製造するには、まず、基板131上に水素化アモルファスシリコン(a-Si:H)からなる薄膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターンニングを施して図10(A)に断面構造を示すアイランド状の半導体準備膜180を形成する。なお、この半導体準備膜180を形成する位置は、基板131上において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図10(B)に示すように半導体準備膜180と基板131を覆うようにSiNxなどからなる絶縁膜184を形成し、更にその上にAl等の良導電材料からなる基部導電膜186とCr、Mo等の配線材料からなる副導電膜187を形成する。次に、絶縁膜184と基部導電膜186と副導電膜187にパターンニングを施して図10(C)に断面構造を図10(D)に平面構造を示すゲート配線133とソース配線134を形成し、半導体準備膜180上のゲート配線133をゲート電極147とする。また、前記のパターンニングにあたり、各ゲート配線133とソース配線134はパターンニングされた絶縁膜189を介して基板131上あるいは半導体準備膜180上に設けられた状態

となる。次に、ここで形成するゲート配線133とソース配線134は、それぞれ2層構造とされ、製造するべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図10(D)では1本ずつのみ記載しているが、実際には図10(D)の上下方向に複数のゲート配線133が図10(D)の左右方向に複数のソース配線134が並設される。なお、図10(C)に示される断面構造は、図10(D)のA15-A16線に沿う断面である。前記のパターニングの際に、ソース配線134をゲート配線133に対して直角向きに形成するが、ソース配線134の端部134aをゲート配線133にショートさせないようにゲート配線133と微小間隔をあけた位置に配置させるので、結果的にソース配線134をゲート配線133と直角な方向にゲート配線133と接触しないように分断された不連続状態に形成するものとする。

【0053】次に、ゲート電極147とその下方の絶縁膜189をマスクとして半導体準備膜180にイオンドーピング処理を行ってn+層を形成し、半導体部143、144に挟まれた半導体基部145を形成するとともに、この後に半導体部143、144上にMo、Ta、W等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部143、144との間に元素拡散を行って半導体部143、144上にシリサイド層148、148を図11(A)に示すように形成する。この後、前記第1の例と同様にシリサイド化していないMo、Ta、W等からなる金属薄膜をレジストを用いずに選択的に除去する。次いでこれらの膜の上にSiNx等からなる絶縁膜135を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層148上の絶縁膜135にコンタクトホール150を形成するとともにゲート配線133の近傍の各ソース配線134の端部134a上の絶縁膜135にそれぞれ孔(コンタクトホール)171を形成する。

【0054】次いで、ITOなどの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともにパターニングを行って、ソース配線134とゲート配線133に囲まれた領域で線状電極136B、136B間に線状電極136Aを形成し、ソース配線134の端部134a上の絶縁膜135に孔(コンタクトホール)171、171を介してこれらを接続する橋絡部172を形成するとともに、この橋絡部172と半導体部143上のシリサイド層148をコンタクトホール150を介して接続させて酸化物透明導電材料製のソース電極161を形成し、半導体部144上のシリサイド層148と線状電極136Aを接続させて酸化物透明導電材料製のドレイン電極160を形成するとともに、隣接する線状電極136Bの接合部どうしを接合する導体接続部174をソース配線134上を横切るように形成することで隣接する領域どうしの線状電極136Bを接続する。これ

により、図11(B)と図11(C)に示す構造の薄膜トランジスタアレイ基板137を得ることができる。

【0055】以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板57を製造することができるので、前記第1の例と同様に、マスクを6〜7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。また、この例の構造の液晶表示装置Dにあっては、線状電極136A、136Bを用いて先の第3の例の場合と同様に視野角依存性の少ない高品質の表示状態を得ることができる。

【0056】ところで、以上説明した構造においては2本の線状電極と1本の線状電極を異なる極の対電極としたが、3本あるいはそれ以上の本数の線状電極を互いに対になるように設けても良いのは勿論である。また、分断した形で形成するのは、ソース配線に限らず、ゲート配線であっても良い。従ってゲート配線を分断した形で形成した場合は、ソース配線を分断していない連続状態に形成し、このソース配線に接触しないように分断状態に不連続させてゲート配線を形成し、その上に形成した絶縁膜に孔(コンタクトホール)を形成し、それらのコンタクトホールを介して絶縁膜上に橋絡部を形成することで分断されたゲート配線を1本に連続させることができる。本発明においてはこのような構造を採用することもできる。

【0057】

【発明の効果】以上説明したように本発明によれば、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線とゲート配線の一方を導電材料製の橋絡部で導通させるとともに、画素部を橋絡部と同じ導電材料で形成したので、画素部を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。また、画素部を第1と第2の画素電極を組み合わせて用いる構成であっても、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線あるいはゲート配線を導電材料製の橋絡部で導通させ、同時に橋絡部と同一の導電材料で第1の画素電極を形成した構成なので、第1の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0058】次に、画素電極を電氣的にオンオフする薄

膜トランジスタのドレイン電極を画素電極と一体的に形成するならば、あるいは、第1の画素電極を電気的にオンオフする薄膜トランジスタのドレイン電極と第1の画素電極を一体的に形成するならば、画素電極とドレイン電極を、あるいは、第1の画素電極とドレイン電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。また、画素電極を電気的にオンオフする薄膜トランジスタのソース電極を橋絡部と一体的に形成するならば、橋絡部とソース電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。

【0059】更に、ソース配線とゲート配線的一方を分断状態に形成し、これらを連結する橋絡部と画素電極とを同一導電材料で構成し、更に、前記画素電極を協同して電位を発生させる第1の画素電極と第2の画素電極とから構成した場合に、第1あるいは第2の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0060】次に、分断したゲート配線あるいはソース配線の表面をクロムまたはモリブデンから構成することで、それらの上に絶縁膜を形成し、この絶縁膜に孔を設けて橋絡部で分断したゲート配線あるいはソース配線を接続する構成とした場合に、酸化物透明導電材料で橋絡部を構成しても、ゲート配線あるいはソース配線の接続部分を酸化させてコンタクト抵抗を増加させてしまうおそれは少なくなり、分断されたゲート配線あるいはソース配線を良好な接続状態にすることができる。

【図面の簡単な説明】

【図1】 図1(A)は、本発明に係る液晶表示装置の第1の例を製造する方法において基板上にゲート配線とソース配線と絶縁膜と半導体層とn+層を形成した状態を示す断面図、図1(B)は、図1に示す状態の要部を示す平面図、図1(C)は、第1の例を製造する方法においてn+層上にシリサイド層を形成した状態を示す断面図である。

【図2】 図2(A)は、第1の例を製造する方法において絶縁膜とシリサイド層上に透明導電層を形成した状態を示す断面図、図2(B)は、本発明に係る液晶表示装置の第1の例を示す断面図、図2(C)は、図1

(B)に示す液晶表示装置の第1の例の要部を示す平面図である。

【図3】 第1の例の液晶表示素子の等価回路の一例を示す図。

【図4】 図4(A)は、本発明に係る液晶表示装置の第2の例を製造する方法において基板上に半導体予備膜

を形成した状態を示す断面図、図4(B)は基板上と半導体膜上に2層構造の導電層を形成した状態を示す断面図、図4(C)は、図4(B)に示す2層構造の導電層と絶縁膜をパターニングした状態を示す断面図、図4(D)は図4(C)の状態の要部を示す平面図である。

【図5】 図5(A)は、第2の例を製造する方法において半導体膜に半導体部と半導体基部を形成した状態を示す断面図、図5(B)は、第2の例を示す断面図、図5(C)は、第2の例の液晶表示装置の要部を示す平面図である。

【図6】 図6(A)は、本発明に係る液晶表示装置の第3の例を製造する方法において基板上に各種配線と絶縁膜と半導体膜を形成した状態を示す断面図であり、図6(B)は、図6(A)に示す状態の要部を示す平面図、図6(C)は、半導体膜の上にシリサイド層を形成した状態を示す断面図である。

【図7】 図7(A)は、第3の例を製造する方法において絶縁膜にコンタクトホールを形成し、シリサイド層上と絶縁膜上とコンタクトホールに透明導電層を形成した状態を示す断面図、図7(B)は、発明に係る液晶表示装置の第3の例を示す断面図、図7(C)は、図7(B)に示す構造の要部を示す平面図である。

【図8】 図8(A)は第3の例における線状電極と配方向と電源の関係を示す図、図8(B)は線状電極間の液晶分子の配向状態を示す図。

【図9】 図9(A)は線状電極を用いていない一般の液晶表示装置構造において、電界を印加していない状態の液晶分子の配向状態を示す図、図9(B)は電界を印加した状態の液晶分子の配向状態を示す図、図9(C)は液晶分子の配向状態と透過光屈折率を説明するための図。

【図10】 図10(A)は、本発明に係る液晶表示装置の第4の例を製造する方法において基板上に半導体膜を形成した状態を示す断面図、図10(B)は、基板上と半導体膜上に2層構造の導電層を形成した状態を示す断面図、図10(C)は2層の導電層と絶縁膜をパターニングした状態を示す断面図、図10(D)は、図の状態の要部を示す平面図。

【図11】 図11(A)は、第4の例を製造する方法において半導体膜に半導体部と半導体基部とシリサイド層を形成した状態を示す断面図、図11(B)は、本発明に係る液晶表示装置の第4の例を示す断面図、図11(C)は、第4の例の液晶表示装置の要部を示す平面図である。

【図12】 従来の薄膜トランジスタアレイ基板の一構造例を示す平面図である。

【図13】 従来の薄膜トランジスタアレイ基板の一構造例の断面図である。

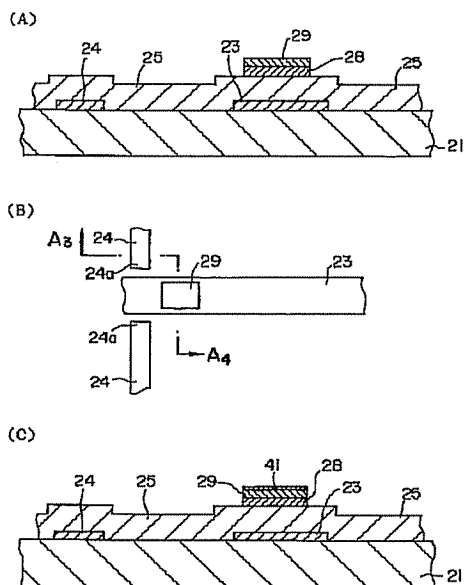
【図14】 従来の一例を示す接続回路図である。

【符号の説明】

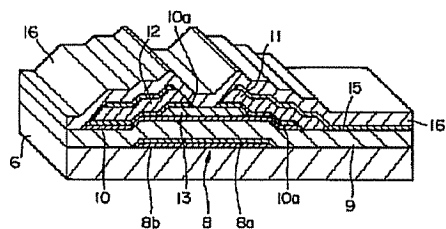
| | |
|---------------|--------------|
| 基板 | 21、51、91、13 |
| 1、 | |
| 液晶 | 22、52、92、13 |
| 2、 | |
| ゲート配線 | 23、53、93、13 |
| 3、 | |
| ソース配線 | 24、54、94、13 |
| 4、 | |
| 絶縁膜 | 25、55、95、13 |
| 5、 | |
| 画素部（画素電極） | 26、56、 |
| 薄膜トランジスタ | T1、T2、T3、T4、 |
| 薄膜トランジスタアレイ基板 | 27、57、97、13 |
| 7、 | |

| | |
|------------------|-------------|
| 半導体能動膜 | 28、98、 |
| ドレイン電極 | 30、60、100、1 |
| 60、 | |
| ソース電極 | 31、61、101、1 |
| 61、 | |
| 孔（コンタクトホール） | 35、81、105、1 |
| 07、171、173、 | |
| 橋絡部 | 36、72、106、1 |
| 72、 | |
| n ⁺ 層 | 29、99、 |
| シリサイド層 | 33、103、 |
| コンタクト層 | 34、104、 |
| 半導体準備膜 | 75、180、 |
| 導体接続部 | 108、173、 |

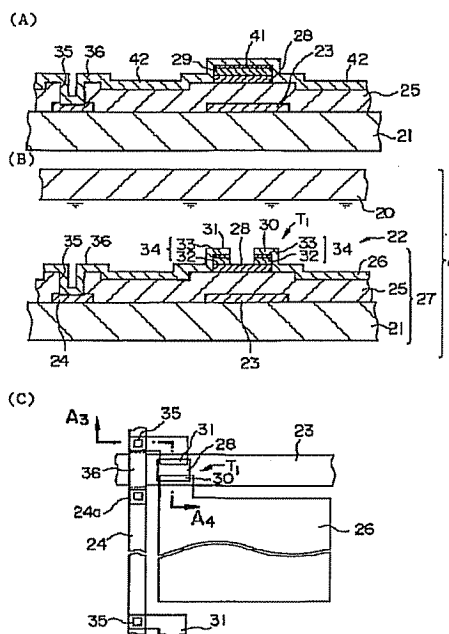
【図1】



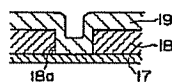
【図13】



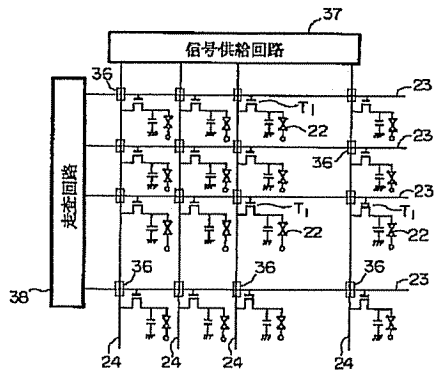
【図2】



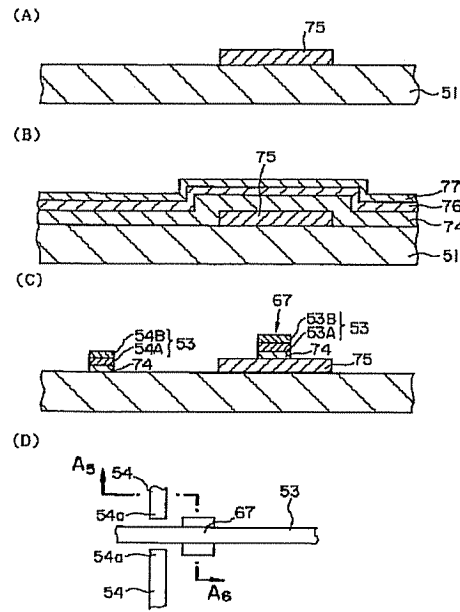
【図14】



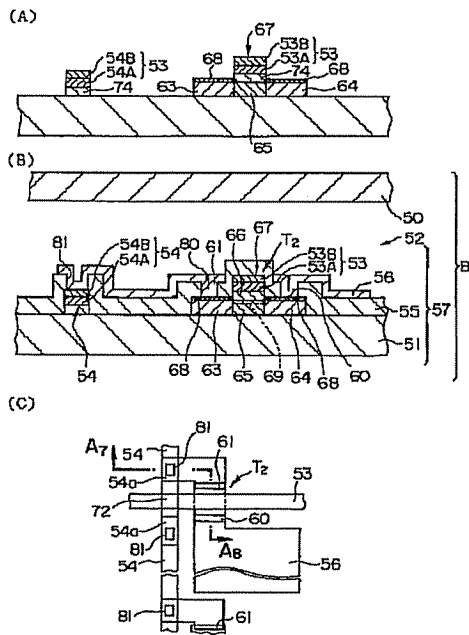
【图3】



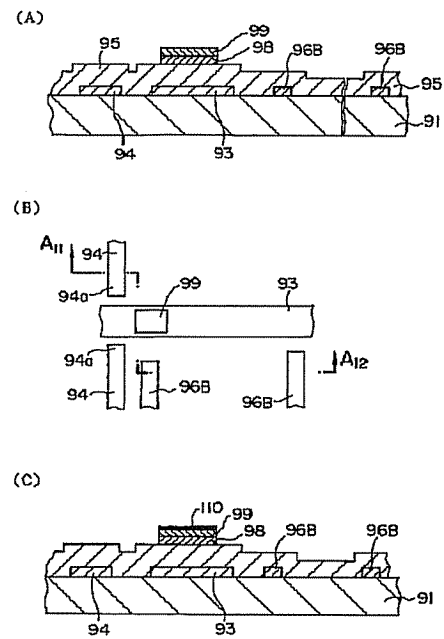
【图4】



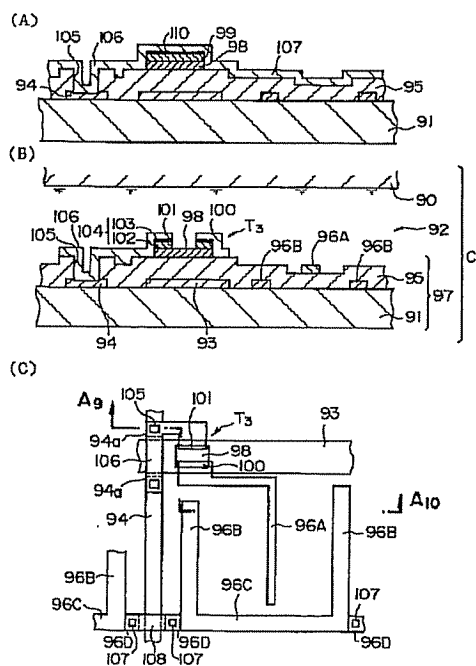
【图5】



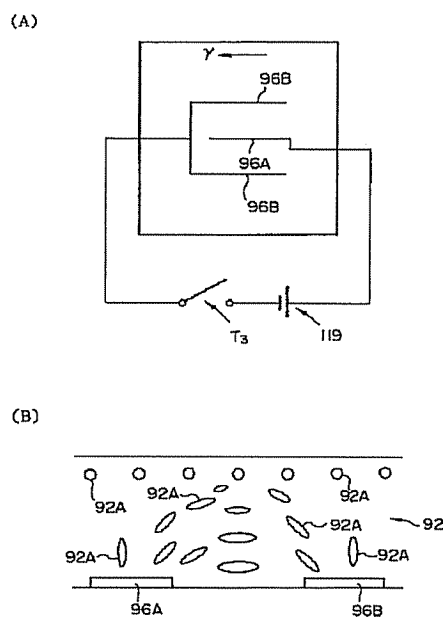
【图6】



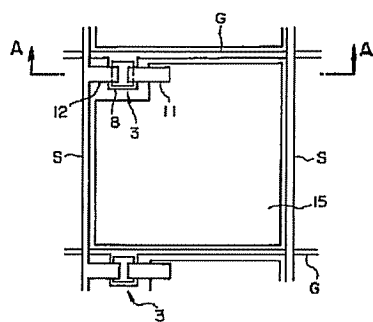
【图 7】



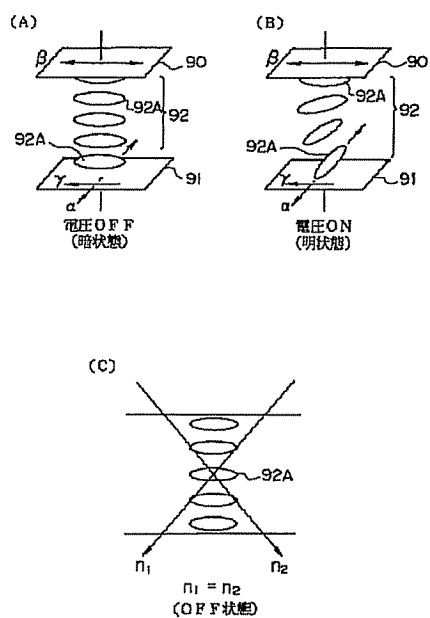
【图 8】



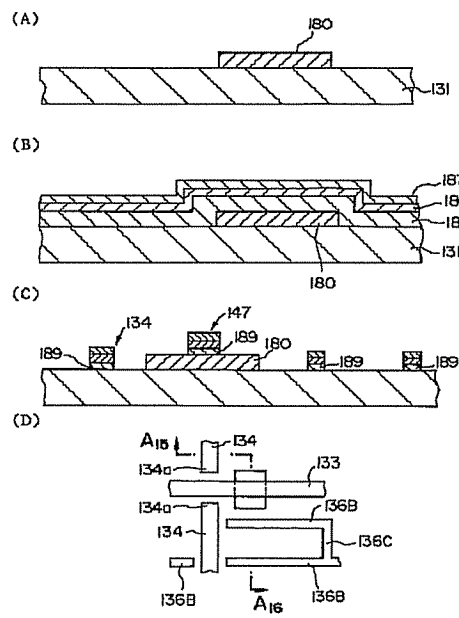
【图 12】



【图 9】



【圖 10】



【图 1-1】

